

## Family list

1 application(s) for: JP2000030455

⌘ **SEMICONDUCTOR MEMORY****Inventor:** FURUYA KIYOHIO**Applicant:** MITSUBISHI ELECTRIC CORP**EC:****IPC:** G11C11/41; G11C11/409; G11C16/06; (+6)**Publication info:** JP2000030455 (A) — 2000-01-28Data supplied from the **esp@cenet** database — Worldwide

## SEMICONDUCTOR MEMORY

**Publication number:** JP2000030455 (A)

**Publication date:** 2000-01-28

**Inventor(s):** FURUYA KIYOHIRO

**Applicant(s):** MITSUBISHI ELECTRIC CORP

**Classification:**

~ international: **G11C11/41; G11C11/409; G11C16/06; G11C11/41; G11C11/409; G11C16/06;**  
(IPC1-7): G11C11/409; G11C11/41; G11C16/06

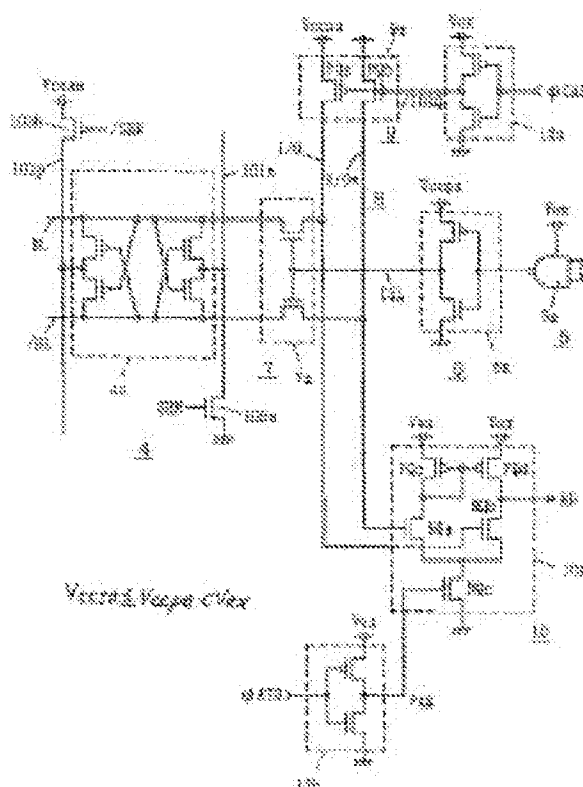
~ European:

**Application number:** JP19980197692 19980713

**Priority number(s):** JP19980197692 19980713

### Abstract of JP 2000030455 (A)

**PROBLEM TO BE SOLVED:** To pre-charge accurately internal data bus lines to the same voltage level and to read out data accurately at high speed. **SOLUTION:** The same power source voltage as the power source  $V_{ccsa}$  given to a sense amplifier circuit 4a is given to the internal data bus lines I/O, I/O\* via (p) channel MOS transistors PQa, PQb. Thereby, pre-charge voltage of the internal data bus lines can be made to a sense power source voltage level, and the internal data bus lines can be accurately pre-charged to a sense power source voltage level via a pre-charge circuit even at the time of decreasing of the sense power source voltage.



Data supplied from the esp@cenet database — Worldwide



## 【特許請求の範囲】

【請求項1】 行列状に配列される複数のメモリセル、各列に対応して配列され、活性化時対応の列上のメモリセルデータに応じて、第1の電源電圧または接地電圧レベルに対応の列を駆動する複数のセンスアンプ、前記複数のメモリセルの選択メモリセルとデータの授受を行なうための内部データバス、前記内部データバスに結合され、前記内部データバスを前記第1の電源電圧レベルにプリチャージするためのプリチャージ回路、および少なくとも第2の電源電圧を動作電源電圧として受けて、少なくとも前記複数のメモリセルからのメモリセルの選択を行なう動作を行なう周辺回路を備える、半導体記憶装置。

【請求項2】 前記周辺回路は、前記第2の電源電圧を動作電源電圧として受けて動作し、与えられたアドレス信号をデコードして、アドレス指定された列を指定する列指定信号を生成する列デコード回路と、第3の電源電圧を動作電源電圧として受けて前記列指定信号に従って前記メモリセルの列からアドレス指定された列を選択する列選択信号を発生する列選択ドライブ回路とを備え、アドレス指定された列は、前記列選択ドライブ回路からの列選択信号にตอบสนองする列選択ゲートを介して前記内部データバスに結合される、請求項1記載の半導体記憶装置。

【請求項3】 前記周辺回路は、前記第2の電源電圧を動作電源電圧として受けて、前記内部データバス上のデータを増幅する読出増幅回路をさらに備える、請求項1記載の半導体記憶装置。

【請求項4】 前記第3の電源電圧は、前記第1の電源電圧と同一の電圧レベルである、請求項2記載の半導体記憶装置。

【請求項5】 前記第3の電源電圧は、前記第1および第2の電源電圧の間の電圧レベルである、請求項2記載の半導体記憶装置。

【請求項6】 前記第2の電源電圧は、外部から与えられる電源電圧と同じ電圧レベルである、請求項1または2記載の半導体記憶装置。

【請求項7】 前記第3の電源電圧は、前記第2の電源電圧と同じ電圧レベルである、請求項2記載の半導体記憶装置。

【請求項8】 外部電源電圧を受けて伝達する第1の電源線と、前記第1の電源線に結合され、前記外部電源電圧から前記第1の電源電圧を生成して前記センスアンプおよびプリチャージ回路へ与える第1の内部電圧発生回路と、活性化時前記第1の電源線上の電圧から前記第1の電源電圧よりも電圧レベルの高い第2の電圧を生成する第2の内部電圧発生回路と、前記第1の電源線上の電圧および前記第2の内部電圧発生回路の出力電圧の一方を前記列デコード回路へ与える

選択手段を備える、請求項2記載の半導体記憶装置。

【請求項9】 前記選択手段は、該選択した電源電圧を前記列選択ドライブ回路へも与える、請求項8記載の半導体記憶装置。

【請求項10】 前記第1の電源線に結合され、前記外部電源電圧から前記第3の電源電圧を生成して前記列選択ドライブ回路へ与える、前記第1の内部電圧発生回路とは別に設けられる第3の内部電圧発生回路をさらに備える、請求項8記載の半導体記憶装置。

【請求項11】 テストモード指示にตอบสนองして、前記列選択ドライブ回路の電源電圧を外部電源電圧レベルに設定する手段をさらに含む、請求項2記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特に、内部データバスに結合する周辺回路の電源電圧割当てに関する。

## 【0002】

【従来の技術】図14は、従来の半導体記憶装置の要部の構成を概略的に示す図である。図14においては、メモリアレイおよびデータ読出に関連する周辺回路の部分の構成が概略的に示される。

【0003】図14において、メモリセルアレイMAにおいては、メモリセルMCが行列状に配列され、メモリセルMCの各行に対応してワード線WLが配設され、メモリセルMCの各列に対応してビット線対BLPが配設される。図14においては、1つのワード線WLおよび1つのビット線対BLPを代表的に示す。ビット線対BLPは、互いに相補なデータ信号を伝達するビット線BLおよびBLを含む。メモリセルMCは、ワード線WLとビット線BLおよびBLの一方との交差部に対応して配置される。図14においては、ワード線WLとビット線BLの交差部にメモリセルMCが配置される。メモリセルMCは、情報を記憶するキャパシタMQと、ワード線WL上の信号電位にตอบสนองしてメモリキャパシタMQを対応のビット線BLに接続するnチャネルMOSトランジスタで構成されるアクセストランジスタMTを含む。

【0004】ビット線BLPそれぞれに対応して、センス駆動線101pおよび101n上の電圧に従って活性化され、ビット線BLおよびBLの電圧を差動増幅するセンスアンプ102が設けられる。センス駆動線101pおよび101nには、センスアンプ活性化信号/S<sub>EN</sub>およびS<sub>EN</sub>にตอบสนองしてセンス駆動線101pおよび101nへ内部電源電圧V<sub>ccs</sub>および接地電圧V<sub>s</sub>を伝達するセンスアンプ活性化回路103が設けられる。センスアンプ活性化回路103は、センスアンプ活性化信号/S<sub>EN</sub>の活性化にตอบสนองして導通し内部電源電圧V<sub>ccs</sub>をセンス駆動線101p上に伝達するpチャ

ネルMOSトランジスタ103aと、センスアンプ活性化信号SENの活性化に導通し、接地電圧Vssをセンス駆動線101nに伝達するnチャネルMOSトランジスタ103bを含む。

【0005】さらに、データの読出を行なうための周辺回路として、内部電源電圧Vccpを動作電源電圧として動作し、内部コラムアドレス信号Adcをデコードし、アドレス指定された列に対応する列選択線CSLを選択状態へ駆動する列選択信号発生回路104と、ビット線対それぞれに対応して設けられ、列選択信号発生回路104からの列選択信号の活性化時導通し、対応のビット線対BLPを内部データバスIOPに接続する列選択ゲート105と、内部電源電圧Vccpを一方動作電源電圧として受けて動作し、プリチャージ指示信号IOEQを発生するプリチャージ制御回路106と、プリチャージ制御回路106からのIO線プリチャージ指示信号IOEQの活性化に導通し、内部データバスIOPの内部データバス線I/OおよびI/O\*を内部電源電圧Vccpレベルにプリチャージするプリチャージ回路107と、内部電源電圧Vccpを一方動作電源電圧として動作し、かつデータ読出時活性化され、内部データバスIOP上に読出されたメモリセルデータを増幅して内部読出データRDを生成するプリアンプ108が設けられる。

【0006】列選択ゲート105は、ビット線BLおよび/BLと内部データバス線I/OおよびI/O\*との間に設けられるトランスファゲート105aおよび105bを含む。IO線プリチャージ回路107は、IO線プリチャージ指示信号IOEQの活性化時導通し、内部データバス線I/OおよびI/O\*上に内部電源電圧Vccpを伝達するnチャネルMOSトランジスタ107aおよび107bを含む。次に、この図14に示す半導体記憶装置の動作を図15に示す信号波形図を参照して説明する。

【0007】まず、メモリサイクルが始まると、内部ロウアドレス信号に従って図示しないワード線選択回路により、アドレス指定された行に対応して配置されるワード線WLが選択状態へ駆動され、その電圧レベルが上昇する。選択ワード線WLの電圧の上昇に従って、選択ワード線WLに接続するメモリセルMCに含まれるアクセストランジスタMTが導通し、対応のメモリキャパシタMQが対応のビット線BL（または/BL）に接続される。このメモリキャパシタMQの格納電荷量に応じて、選択メモリセルが接続するビット線BL（または/BL）の電圧が変化する。図15においては、選択メモリセルMCがHレベルの情報を記憶する場合のビット線BL、/BLの信号波形が一例として示される。対をなすビット線/BL（BL）は、選択メモリセルが接続されていないため、所定の中間電圧レベルのプリチャージ電圧レベルを保持する。

【0008】ビット線BLおよび/BLの電圧差が十分に拡大されると、所定のタイミングでセンスアンプ活性化信号SENおよび/SENが活性状態へ駆動され、センス駆動線101nおよび101pにそれぞれ接地電圧Vssおよび内部電源電圧Vccsが伝達され、センスアンプ102が活性化される。これにより、ビット線BLおよび/BLが、メモリセルの記憶情報に応じて内部電源電圧Vccsおよび接地電圧Vssレベルに駆動される。

【0009】センス動作が完了すると、いわゆる「コラムインターロック」期間が完了し、列選択動作が可能になる。列選択動作時には、まずプリチャージ制御回路106が、IO線プリチャージ指示信号IOEQをLレベルの非活性状態とし、IO線プリチャージ回路107を非活性化する。IO線プリチャージ回路107は、nチャネルMOSトランジスタ107aおよび107bを含んでおり、プリチャージ制御回路106からのIO線プリチャージ指示信号IOEQは、活性化時、内部電源電圧Vccpレベルである。また、IO線プリチャージ回路107も、内部電源電圧Vccpを受けており、したがって、これらの内部データバス線I/OおよびI/O\*は、電圧Vccp-Vthの電圧レベルでフローティング状態となる。ここで、Vthは、IO線プリチャージ回路107に含まれるnチャネルMOSトランジスタ107aおよび107bのしきい値電圧を示す。

【0010】次いで、列選択信号発生回路104が活性化され、与えられたコラムアドレス信号Adcをデコードし、選択列に対応する列選択線CSLを選択状態へ駆動する。これにより、列選択ゲート105（トランスファゲート105aおよび105b）が導通し、選択列に対応するビット線BLおよび/BLが内部データバス線I/OおよびI/O\*にそれぞれ接続される。次いで、プリアンプ108がプリアンプ活性化信号PAEにより活性化され、この内部データバスIOPに読出されたメモリセルデータの増幅を行なって内部読出データRDを生成する。この内部読出データRDは、図示しない出力回路を介して外部へ出力される。

【0011】内部電源電圧Vccsは、内部電源電圧Vccpよりも低い電圧レベルである。メモリセルキャパシタMQに、電源電圧Vccsが印加されるため、このメモリセルキャパシタの絶縁膜が破壊されるのを防止するためである。また、選択ワード線WLは、その電圧レベルが内部電源電圧Vccsの通常約1.5倍の電圧レベルに駆動される。したがって、この内部電源電圧Vccsを低くすることにより、選択メモリセルのアクセストランジスタのゲート絶縁膜に高電圧が印加されるのを防止し、素子の信頼性を保証する。一方、周辺回路においては、このセンスアンプへ与えられる内部電源電圧Vccsよりも高い電圧レベルの内部電源電圧Vccpを

与え、周辺回路を高速動作させる。

#### 【0012】

【発明が解決しようとする課題】内部データバス線をプリチャージするためのプリチャージトランジスタとして、 $n$ チャネルMOSトランジスタを用いることにより、内部データバス線の電圧振幅を小さくし、高速アクセスの実現を図る。すなわち、内部データバス線 $I/O$ および $I/O^*$ のプリチャージ電圧レベルを、電圧 $V_{ccp}-V_{th}$ に設定することにより、できるだけ、データ書込および読出時における内部データバス線の電圧振幅低減を図る。また、できるだけ、メモリセルアレイ部の $n$ チャネルMOSトランジスタと同一基板領域に形成することにより、PN分離などの領域を不要とすることを図る。

【0013】しかしながら、周辺回路に与えられる内部電源電圧（以下、周辺電源電圧と称す） $V_{ccp}$ の電圧レベルが低下した場合、プリチャージ制御回路106が、周辺電源電圧 $V_{ccp}$ を動作電源電圧として動作しているため、プリチャージ指示信号IOEQのHレベルの電圧レベルも応じて低下する。この場合、以下の問題が生じる。

【0014】図16は、この周辺電源電圧低下時における問題点を説明するための図である。IO線プリチャージ指示信号IOEQがLレベルとなると、列選択動作が行なわれ、選択ビット線対が内部データバス線 $I/O$ および $I/O^*$ に接続され、メモリセルデータが内部データバス線 $I/O$ および $I/O^*$ に伝達される。内部データバス線 $I/O$ および $I/O^*$ の一方は、センスアンプ102により、このセンスアンプがビット線上に伝達した内部電源電圧（以下、センス電源電圧と称す） $V_{ccs}$ レベルに駆動される。一方、他方の内部データバス線は、その電圧レベルが低下する。このデータ読出時における内部データバス線の電圧低下量は、選択ビット線対に設けられるセンスアンプの放電能力により決定され、センスアンプは、単に対応のビット線対の寄生容量の充放電を行なうことが要求されるだけであり、電流駆動能力は小さくされており、Lレベルデータが伝達される内部データバス線の電圧レベルは緩やかに低下する。

【0015】列選択動作が行なわれてから所定のタイミングでプリアンプ活性化信号PAEが活性化される。通常、このプリアンプ活性化信号PAEは、コラムアドレス信号の変化時点をトリガとして活性化される。したがって、通常動作時においては、この内部データバス線 $I/O$ および $I/O^*$ の電圧差が電圧 $V_I$ のときに、プリアンプ活性化信号PAEが活性化される。

【0016】この後、周辺電源電圧 $V_{ccp}$ の電圧レベルが低下した場合、IO線プリチャージ指示信号IOEQのHレベルは、所定の電圧レベルよりも低くなる。この周辺電源電圧 $V_{ccp}$ の電圧レベルが、内部データバス線 $I/O$ および $I/O^*$ 上の電圧よりも低い場合に

は、プリチャージ指示信号IOEQの電圧レベルも、この内部データバス線 $I/O$ および $I/O^*$ 上の電圧レベルよりも低くなるため、プリチャージ用トランジスタ107aおよび107bがオフ状態となる。これは、周辺電源電圧 $V_{ccp}$ を受けるノードが、プリチャージ用の $n$ チャネルMOSトランジスタ107aおよび107bのソースとなり、これらのプリチャージ用の $n$ チャネルMOSトランジスタ107aおよび107bのゲートおよびソース電圧が等しくなるためである。したがって、この状態においては、内部データバス線 $I/O$ および $I/O^*$ は、完全に同じ電圧レベルにプリチャージすることができず、先のサイクルで読出されたメモリセルデータに応じた電圧レベルを保持して、その状態でフローティング状態となる。

【0017】この状態においては、次にメモリセル選択動作が読出された場合、先のメモリセルデータに応じた内部データバス線 $I/O$ および $I/O^*$ の電圧レベルから、新たに選択されたメモリセルのデータに応じて内部データバス線 $I/O$ および $I/O^*$ の電圧レベルが変化する。前のサイクルと逆のデータが読出された場合、内部データバス線 $I/O$ および $I/O^*$ の電圧レベルは逆方向に変化するため、新たに選択されたメモリセルのデータに応じた電圧レベルに内部データバス線 $I/O$ および $I/O^*$ が到達するのに長時間を要する。一方、プリアンプ活性化信号PAEは所定のタイミングで活性化される。したがって、プリアンプ活性化信号PAEが活性化されたとき、この内部データバス線 $I/O$ および $I/O^*$ 上の電圧差が、電圧 $V_2$ であれば、プリアンプ108は、正確にメモリセルデータの増幅を行なうことができず、メモリセルデータを正確に読出すことができなくなる。

【0018】また、列選択信号発生回路104は、周辺電源電圧 $V_{ccp}$ を動作電源電圧として、選択列に対応する列選択信号をこの周辺電源電圧 $V_{ccp}$ レベルに駆動している。センスアンプ102の電流駆動力は、比較的小さくされている。したがって、この周辺電源電圧 $V_{ccp}$ の電圧レベルがセンス電源電圧 $V_{ccs}$ に比べて高い場合、接地電圧レベルのビット線に接続される列選択ゲートのコンダクタンスが急激に大きくなり、一方センス電源電圧 $V_{ccs}$ レベルのビット線に接続される列選択ゲートのコンダクタンスは、それほど急激には大きくならない（ゲートソース間電圧がそれほど大きくないため）。したがって、センスアンプ102においてセンスノードに急激に、大きな負荷容量を有する内部データバス線が接続され、この内部データバス線のプリチャージ電圧レベルに係わらず、センスアンプ102の記憶データが逆転することもある。この場合、正確なメモリセルのデータの読出を行なうことができず、またメモリセルデータが破壊される。

【0019】また、従来の出荷前の最終テストにおける

ストレス加速モードにおいて、周辺電源電圧 $V_{ccp}$ およびセンス電源電圧 $V_{ccs}$ がともに外部電源電圧に従ってその電圧レベルが変更される。したがって、列選択信号の電圧レベルの選択列のセンスアンプの保持データに対する影響を測定することができず、正確なデータの読出を十分に保証することができないという問題があった。

【0020】それゆえ、この発明の目的は、周辺電源電圧の影響を受けることなく、正確にデータの読出を行なうことのできる半導体記憶装置を提供することである。

【0021】この発明の他の目的は、選択メモリセルデータの破壊を伴うことなくデータの読出を行なうことのできる半導体記憶装置を提供することである。

【0022】この発明のさらに他の目的は、周辺電源電圧の影響を受けることなく正確に所定の電圧レベルに内部データバスをプリチャージすることのできる半導体記憶装置を提供することである。

【0023】この発明のさらに他の目的は、正確に、センスアンプの安定なデータ保持を保証することのできる半導体記憶装置を提供することである。

【0024】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、行列状に配列される複数のメモリセルと、メモリセルの列それぞれに対応して設けられ、活性化時対応のメモリセル列を第1の電源電圧または接地電圧レベルに選択メモリセルのデータに応じて駆動する複数のセンスアンプと、選択メモリセルとデータの授受を行なうための内部データバスと、この内部データバスを第1の電源電圧レベルにプリチャージするプリチャージ回路と、第1の電源電圧以上の第2の電源電圧を動作電源として受けて動作して、メモリセル選択に関連する動作を少なくとも行なう周辺回路とを備える。

【0025】請求項2に係る半導体記憶装置は、請求項1の周辺回路が、第2の電源電圧を動作電源電圧として受けて動作し、与えられた内部列アドレス信号をデコードし、アドレス指定された列を指定する列指定信号を生成する列デコード回路と、この列デコード回路からの列指定信号に従って、アドレス指定された列に対し、第3の電源電圧レベルの列選択信号を生成する列選択ドライバ回路とを含む。選択列は、この列選択信号に従って列選択ゲートを介して内部データバスに結合される。

【0026】請求項3に係る半導体記憶装置は、請求項1の周辺回路が、第2の電源電圧を動作電源電圧として受けて動作し、活性化時内部データバス線上のデータを増幅する読出増幅回路を含む。

【0027】請求項4に係る半導体記憶装置は、請求項2の第3の電源電圧が、第1の電源電圧と同じ電圧レベルである。

【0028】請求項5に係る半導体記憶装置は、請求項2の第3の電源電圧が、第1および第2の電源電圧の間

の電圧レベルである。

【0029】請求項6に係る半導体記憶装置は、請求項1または2の第2の電源電圧が、外部から与えられる電源電圧と同じ電圧レベルである。

【0030】請求項7に係る半導体記憶装置は、請求項2の第2の電源電圧と第3の電源電圧が同一電圧レベルである。

【0031】請求項8に係る半導体記憶装置は、請求項2の装置が、さらに、外部電源電圧を伝達する第1の電源線と、この第1の電源線の電圧を受けて第1の電源電圧を生成して、センスアンプおよびプリチャージ回路へ与える第1の内部電圧発生回路と、第1の電源線に結合され、この第1の電源線上の電圧から第1の電源電圧よりも高い第2の電源電圧を生成する第2の内部電圧発生手段と、第1の電源線および第2の内部電圧発生回路の出力電圧の一方を列デコード回路へ与える手段を備える。

【0032】請求項9に係る半導体記憶装置は、請求項8の選択手段が、この選択した電圧を列選択ドライバ回路へも与える。

【0033】請求項10に係る半導体記憶装置は、請求項8の装置が、さらに、第1の電源線に結合され、この外部電源電圧から第3の電源電圧を生成して列選択信号発生回路へ印加する第3の電圧発生回路をさらに備える。この第3の電源電圧発生回路は、第1の内部電圧発生回路と別に設けられる。

【0034】請求項11に係る半導体記憶装置は、請求項2の装置が、テストモード指示に応じて、列選択ドライバ回路の電源電圧を外部電源電圧レベルに設定する手段をさらに含む。

【0035】内部データバス線のプリチャージ電圧を、センス電源電圧レベルに設定することにより、周辺電源電圧の影響を受けることなく、所定の電圧レベルに正確に内部データバス線をプリチャージすることができる。

【0036】また、テストモード時において、周辺電源電圧を外部電源電圧レベルに設定することにより、センスアンプの保持データの安定性の周辺電源電圧依存性をテストすることができる。

【0037】また、列選択信号の電圧レベルを、センス電源電圧レベルまたは周辺電源電圧よりも低い電圧レベルに設定することにより、センスアンプのデータ逆転が生じるのを防止することができる。

【0038】

【発明の実施の形態】〔実施の形態1〕図1は、この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。図1において、この半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイ1と、外部からのアドレス信号ADを取込み内部アドレス信号を生成するアドレス入力バッファ2と、アドレス入力バッファ2からの内部ロウアドレ

ス信号をデコードして、メモリセルアレイ1のアドレス指定された行を選択状態へ駆動する行選択回路3と、メモリセルアレイ1の列それぞれに対応して設けられ、活性化時対応の列上のメモリセルデータを検知し増幅する複数のセンスアンプを含むセンスアンプ帯4と、アドレス入力バッファ2からの内部コラムアドレス信号をデコードし、メモリセルアレイ1のアドレス指定された列を指定する列指定信号を生成する列デコード回路5と、列デコード回路5からの列指定信号に従ってメモリセルアレイ1の列を選択するための列選択線を選択状態へ駆動する列選択線ドライブ回路6と、メモリセルアレイ1の列それぞれに対応して設けられ、列選択線ドライブ回路6からの列選択信号に従って選択列を内部データバス8に結合する複数の列選択ゲートを含む列選択ゲート群7と、内部データバス8に対し内部データの書込/読出を行なう書込/読出回路10と、外部データDQの入出力を行なう入出力回路11を含む。

【0039】内部データバス8には、活性化時所定の電圧レベルに内部データバス8をプリチャージするI/O線プリチャージ回路9が設けられる。

【0040】この半導体記憶装置は、さらに、外部信号EXSに従って内部制御信号を生成する制御回路12と、外部からの電源電圧extVccを電源線20を介して受けて内部電源電圧Vccsaを生成する内部電源回路13と、電源線20上の電源電圧から内部電源電圧Vccpaを生成する内部電源回路14を含む。外部からの電源電圧extVccは、電源線20を介して、回路内部に外部電源電圧Vexとして伝達される。

【0041】内部電源回路13からの内部電源電圧Vccsaは、センスアンプ帯4およびI/O線プリチャージ回路9へ与えられる。内部電源回路14からの内部電源電圧Vccpaは、列選択線ドライブ回路6へ与えられる。外部電源電圧Vexが、周辺回路、すなわちアドレス入力バッファ2、行選択回路3、列デコード回路5、書込/読出回路10、入出力回路11および制御回路12へ動作電源電圧として与えられる。

【0042】I/O線プリチャージ回路9へセンスアンプ帯4へ与えられる電源電圧Vccsaと同じ電圧レベルの内部電源電圧Vccsaを与えることにより、内部データバス8は、この周辺回路に与えられる電源電圧の変動の影響を受けることなく安定に所定の電圧レベルにプリチャージされる。列選択線ドライブ回路6へ、列デコード回路5へ与えられる外部電源電圧Vexとは異なる内部電源電圧Vccpaを印加することにより、列選択時(列選択ゲート導通時)センスアンプデータが変動するのを防止することができる。また、センスアンプ帯4に対する内部電源電圧Vccsaを発生する内部電源回路13と列選択線ドライブ回路6へ与えられる内部電源電圧Vccpaを発生する内部電源回路14とを別々に設けることにより、センス動作時に内部電源電圧Vcc

saが消費され、その電圧レベルが低下しても、正確にかつ高速に列選択動作を行なうことができる。

【0043】図2は、図1に示す内部電源回路13および14の構成の一例を示す図である。図2において、内部電源電圧Vccsaを生成する内部電源回路13および内部電源電圧Vccpaを生成する内部電源回路14はともに同じ構成を備えるため、図2においては、1つの内部電源回路の構成を代表的に示す。図2において、内部電源回路は、内部電源線21上の内部電源電圧Vcc(Vccsa, Vccpa)と基準電圧Vrefと比較する比較器22と、比較器22の出力信号に従って電源線20から内部電源線21へ電流を供給するpチャネルMOSトランジスタで構成される電流ドライブトランジスタ23を含む。内部電源電圧Vccが基準電圧Vrefよりも高いときには、比較器22の出力信号がHレベルとなり、電流ドライブトランジスタ23がオフ状態となる。一方、内部電源電圧Vccが基準電圧Vrefよりも低い場合には、比較器22の出力信号がこの電圧VccおよびVrefの差に応じたローレベルに低下し、電流ドライブトランジスタ23のコンダクタンスが増加し、電源線20から内部電源線21へ電流を供給し、内部電源電圧Vccの電圧レベルを上昇させる。したがって、この図2に示す内部電源回路の構成においては、内部電源電圧Vccが、基準電圧Vrefの電圧レベルに等しくなる。なお、この図2に示す内部電源回路の構成は単なる一例であり、内部電源電圧Vccをレベルシフトして、基準電圧Vrefとこのレベルシフトされた内部電源電圧とを比較する構成が用いられてもよい。

【0044】図3は、図1に示す半導体記憶装置の1ビットのデータ読出部に関連する構成を示す図である。図3においては、1つのビット線対を示す。

【0045】センスアンプ群7は、ビット線BLおよびBLに対して設けられるセンスアンプ回路7aを含む。センスアンプ回路7aは、センス駆動線101p上にセンス電源電圧Vccsaが与えられると活性化され、ビット線BLおよびBLのうちの高電位のビット線をセンス電源電圧Vccsaレベルに駆動する交差結合されたpチャネルMOSトランジスタと、センス駆動線101n上に接地電圧が伝達されると活性化され、ビット線BLおよびBLのうちの低電位のビット線を接地電圧レベルに放電する交差結合されたnチャネルMOSトランジスタを含む。センス駆動線101pへは、センスアンプ活性化信号/SENの活性化時導通し、センス電源電圧Vccsaをセンス駆動線101pに伝達するpチャネルMOSトランジスタ103bが設けられる。センス駆動線101nには、センスアンプ活性化信号SENの活性化に反応して導通し、接地電圧をセンス駆動線101nに伝達するnチャネルMOSトランジスタ103aが設けられる。センスアンプ回路7aは、センス



電源電圧 $V_{ccsa}$ を一方動作電源電圧とするため、ビット線 $BL$ および $\overline{BL}$ の振幅は、 $V_{ccsa}$ となる。

【0046】列デコード回路5は、与えられたアドレス信号をデコードして列指定信号を生成するNAND型デコード回路5aを含む。このNAND型デコード回路5aは、外部電源電圧 $V_{ex}$ を一方動作電源電圧として動作する。

【0047】列選択線ドライブ回路6は、このNAND型デコード回路5aに対応して設けられ、内部電源電圧 $V_{ccsp}$ を一方動作電源電圧として動作し、NAND型デコード回路5aの出力信号を反転して列選択線 $CSL$ 上に列選択信号を伝達するCMOSインバータ回路6aを含む。

【0048】列選択ゲート群7は、ビット線 $BL$ および $\overline{BL}$ に対して設けられ、列選択線 $CSL$ 上の列選択信号の活性化時導通し、ビット線 $BL$ および $\overline{BL}$ を内部データバス線 $I/O$ および $I/O^*$ へ接続する列選択ゲート7aを含む。列選択ゲート7aは、そのゲートが列選択線 $CSL$ に接続されるトランスファゲートを含む。

【0049】 $I/O$ 線プリチャージ回路9は、内部データバス線 $I/O$ および $I/O^*$ に対して設けられるプリチャージ回路9aを含む。このプリチャージ回路9aは、プリチャージ指示信号 $\phi_{IOEQ}$ の活性化に応答して導通し、内部電源電圧 $V_{ccsa}$ を内部データバス線 $I/O$ および $I/O^*$ へそれぞれ伝達するpチャネルMOSトランジスタ $PQa$ および $PQb$ を含む。pチャネルMOSトランジスタを内部データバス線プリチャージ素子として利用することにより、たとえ、内部電源電圧 $V_{ccsa}$ が低下しても、このプリチャージ用のpチャネルMOSトランジスタ $PQa$ および $PQb$ がオン状態を維持し、正確に、内部データバス線 $I/O$ および $I/O^*$ を内部電源電圧 $V_{ccsa}$ レベルにプリチャージすることができる。

【0050】書込/読出回路10は、内部データバス線 $I/O$ および $I/O^*$ 上の相補データを増幅するプリアンプ10aを含む。プリアンプ10aは、内部データバス線 $I/O$ および $I/O^*$ を比較する比較段を構成するnチャネルMOSトランジスタ $NQa$ および $NQb$ と、これらの比較段へ電源線20から電流を供給するカレントミラー段を構成するpチャネルMOSトランジスタ $PQc$ および $PQd$ と、プリアンプ活性化信号 $PAE$ の活性化に応答して導通し、MOSトランジスタ $NQa$ および $NQb$ と接地ノードの間に電流の経路を形成するnチャネルMOSトランジスタ $NQc$ を含む。このプリアンプ10aへは、動作電源電圧として、外部電源電圧 $V_{ex}$ が与えられ、高速の増幅動作を保証し、高速データ読出を実現する。

【0051】内部データ線プリチャージ指示信号 $\phi_{IOEQ}$ は、図1に示す制御回路12に含まれるドライブ回路12aから生成される。ドライブ回路12aは、外部

電源電圧 $V_{ex}$ を一方動作電源電圧として動作し、内部列選択動作を活性化する内部列選択動作指示信号 $\phi_{CAS}$ に従って内部データ線プリチャージ指示信号 $\phi_{IOEQ}$ を生成する。この列選択動作指示信号 $\phi_{CAS}$ は、たとえば、標準DRAMにおけるコラムアドレスストローブ信号 $\phi_{CAS}$ に従って生成される。

【0052】プリアンプ活性化信号 $PAE$ は、図1に示す制御回路12に含まれるドライブ12bから生成される。このドライブ12bは、外部電源電圧 $V_{ex}$ を一方動作電源電圧として動作し、コラムアドレス信号の変化を検出する信号に基づいて生成される制御信号 $\phi_{ATD}$ を反転してプリアンプ活性化信号 $PAE$ を生成する。次に、この図3に示す構成の動作を図4に示す信号波形図を参照して説明する。

【0053】内部データバス線 $I/O$ および $I/O^*$ は、 $I/O$ 線プリチャージ回路9aにより、内部電源電圧 $V_{ccsa}$ の電圧レベルにプリチャージされている。この場合、pチャネルMOSトランジスタ $PQa$ および $PQb$ を用いて内部データバス線 $I/O$ および $I/O^*$ のプリチャージを行なっているため、これらのMOSトランジスタ $PQa$ および $PQb$ のしきい値電圧の影響を受けることなく、内部電源電圧 $V_{ccsa}$ の電圧レベルに内部データバス線 $I/O$ および $I/O^*$ がプリチャージされる。

【0054】メモリサイクルが始まり、ワード線 $WL$ （図示せず）が選択されると、ビット線 $BL$ および $\overline{BL}$ にメモリセルデータが読出される。図4においては、 $H$ レベルデータが読出された場合の信号波形が一例として示される。

【0055】このワード線が選択状態へ駆動された後、所定のタイミングで、センスアンプ活性化信号 $SEN$ および $\overline{SEN}$ が活性状態へ駆動されて、センス駆動線 $I01p$ および $I01n$ に内部電源電圧 $V_{ccsa}$ および接地電圧がそれぞれ伝達され、センスアンプ回路4aが活性化される。ビット線 $BL$ および $\overline{BL}$ の電圧レベルが、メモリセルデータに応じて、内部電源電圧 $V_{ccsa}$ および接地電圧レベルにセンスアンプ回路4aにより駆動された後、列選択動作が始まる。

【0056】この列選択動作時においては、まず、内部データ線プリチャージ指示信号 $\phi_{IOEQ}$ が $L$ レベルから、外部電源電圧 $V_{ex}$ の電圧レベルに上昇し、プリチャージ回路9aに含まれるpチャネルMOSトランジスタ $PQa$ および $PQb$ をオフ状態に駆動する。内部データバス線 $I/O$ および $I/O^*$ が、内部電源電圧 $V_{ccsa}$ の電圧レベルでフローティング状態となる。

【0057】次いで、列デコード回路5aがデコード動作を行ない、NAND型デコード回路5aの出力信号が $L$ レベルとなり、列選択ドライブ回路6aの出力信号が、内部電源電圧 $V_{ccsp}$ の電圧レベルに上昇し、列選択ゲート7aが導通し、ビット線 $BL$ および $\overline{BL}$ が内部

データバス線I/OおよびI/O\*に結合される。これにより、内部データバス線I/OおよびI/O\*の電圧が、ビット線BLおよびBLの電圧レベルに応じて変化する。Hレベルデータが読出される内部データバス線の電圧レベルが、内部電源電圧Vccsaの電圧レベルを維持し、Lレベルデータを受ける内部データバス線の電圧レベルが徐々に低下する（センスアンプの駆動力が比較的小さいため）。次いで、所定のタイミングで、プリアンプ活性化信号PAEが活性化され、内部データバス線I/OおよびI/O\*のデータが読出されて内部読出データRDが生成される。

【0058】メモリセルデータの読出が完了すると、次いで、選択ワード線WLが非選択状態へ駆動され、またセンスアンプ活性化信号SENおよびSENも非活性状態へ駆動され、ビット線BLおよびBLが図示しないプリチャージ/イコライズ回路により、中間電圧レベルにプリチャージ/イコライズされる。また列選択線CS上の信号もLレベルとなり、列選択ゲート7aが非導通状態となり、ビット線BLおよびBLが、内部データバス線I/OおよびI/O\*から分離される。次いで、プリチャージ指示信号IOEQが外部電源電圧Vexの電圧レベルから接地電圧レベルに立下がり、プリチャージ回路9aに含まれるpチャネルMOSトランジスタPQaおよびPQbがオン状態となり、内部データバス線I/OおよびI/O\*を、内部電源電圧Vccsaの電圧レベルに駆動する。

【0059】図5は、内部データバス線プリチャージ時の内部データバス線の電圧変化を示す図である。図5において、内部データバス線のプリチャージ時、プリチャージ指示信号IOEQは接地電圧Vssレベルの活性状態にあり、pチャネルMOSトランジスタPQaおよびPQbは、オン状態にある。内部データバス線I/Oには、選択メモリセルデータに応じ、内部電源電圧VccsaレベルのHレベルデータが伝達されており、一方内部データバス線I/O\*には、Lレベルのデータに応じて電圧Vccsa-Δの電圧レベルに保持される。

【0060】今、内部電源電圧Vccsaの電圧レベルが低下した場合を考える。内部電源電圧Vccsaの電圧が低下した場合、プリチャージ回路9aの電源ノードの電圧が内部データバス線I/O上の寄生容量に充電された電圧よりも低くなるため、pチャネルMOSトランジスタPQaは、電源に接続されるノードがソースとなり、内部データバス線I/Oから電源ノードへ電流が流れ、この内部データバス線I/Oは、内部電源電圧Vccsaの電圧レベルにプリチャージされる。一方、内部データバス線I/O\*については、その電圧Vccsa-Δと内部電源電圧Vccsaの低下電圧レベルとの差に応じて、その電流が流れる経路が異なる。電源ノードの内部電源電圧Vccsaの低下した電圧が、内部データバス線I/O\*の電圧Vccsa-Δよりも高い場合

には、pチャネルMOSトランジスタPQbを介して電源ノードから内部データバス線I/O\*に電流が流れ、内部データバス線I/O\*は、内部電源電圧Vccsaの電圧レベルにプリチャージされる。一方、この内部電源電圧Vccsaの低下した電圧レベルが、内部データバス線I/O\*の電圧Vccsa-Δよりも低い場合には、内部データバス線I/O\*から電源ノードへ電流が流れ、この内部データバス線I/O\*の電圧レベルが低下し、内部電源電圧Vccsaの電圧レベルに等しくなる。したがって、いずれの場合においても、センス動作などにより内部電源電圧Vccsaの電圧レベルが低下しても、内部データバス線I/OおよびI/O\*は、ともに内部電源電圧Vccsaの電圧レベルにプリチャージされ、同一電圧レベルを保持する。これにより、内部電源電圧Vccsaの低下の影響を受けることなく正確に、内部データバス線I/OおよびI/O\*を同一電圧レベルにプリチャージすることができる。

【0061】図6は、データ書込/読出時における内部データバス線の電圧変化を示す図である。図6において、データ書込時には、内部データバス線I/OおよびI/O\*の一方は、プリチャージレベルの内部電源電圧Vccsaから接地電圧レベルに駆動される。Hレベルデータを受ける内部データバス線は、内部電源電圧Vccsaまたは外部電源電圧Vexの電圧レベルのいずれであってもよい。Lレベルデータを書込む場合、Lレベルデータを受ける内部データバス線の振幅がHレベルデータを受ける内部データバス線の信号振幅よりも大きい。これは、図示しない書込ドライバにより相補内部データが生成されて、内部データバス線I/OおよびI/O\*へ伝達されるためである。書込完了後、内部データバス線は、プリチャージ指示信号IOEQの活性化にตอบสนองして内部電源電圧Vccsaレベルにプリチャージされる。したがって、この内部データバス線のデータ書込時の最大振幅は、Vccsaとなり、従来のVcpc-vthよりも振幅を小さくすることができ、高速のプリチャージ動作を行なうことができる。また、書込時においても、この振幅が、内部電源電圧Vccsaレベルにされ、従来よりも、高速でLレベルデータを伝達することができ（振幅が小さくなるため）、高速書込が実現される。これにより、書込時間の短縮のみならずプリチャージ時間の短縮を行なうことができ、書込から読出への移行を高速で行なうことができる。

【0062】また、図3に示すように、列選択信号は、電圧Vccspの電圧レベルであり、外部電源電圧Vexよりも低い電圧レベルである。これにより、列選択ゲート7aがそのコンダクタンスが急激に低下するのが防止され、センスアンプ回路4aは、その保持データがディスターバンスを受けるのを防止することができ、センスアンプ回路4aは、安定にデータを保持することができる。なお、上述の実施の形態1において、外部電源電

圧 $V_{ex}$ は、たとえば $2.5V \pm 0.25V$ であり、内部電源電圧 $V_{ccsa}$ は、 $2.0V$ であり、内部電源電圧 $V_{ccsp}$ は、約 $2.2V$ である。内部電源電圧 $V_{ccsp}$ を内部電源電圧 $V_{ccsa}$ よりも高くすることにより、列選択ゲート7aを十分にオン状態にして、高速でビット線BLおよび $\overline{BL}$ と内部データバス線I/OおよびI/O\*との間でデータの転送を行なう。

【0063】内部電源電圧 $V_{ccsp}$ と内部電源電圧 $V_{ccsa}$ が同じ電圧レベルであってもよい。Hレベルに駆動されたビット線BLに対して設けられたトランスファゲート（列選択ゲート7aに含まれる）は、内部データバス線の電圧レベルが、同様の内部電源電圧 $V_{ccsa}$ レベルであるため、オフ状態を維持し、電荷の移動が生じない。したがって、しきい値電圧の問題を考慮する必要がない。単に、Lレベルに駆動されたビット線と内部データバス線との間で電荷の授受を行ない、内部データバス線の電圧レベルを低下させればよい。データ書込時において、列選択ゲートにおけるしきい値電圧の損失が生じるが、センスアンプ回路4aは、書込ドライブ回路より駆動力が小さく十分ラッチ状態を反転することができ、特に問題は生じない。したがって、内部電源電圧 $V_{ccsp}$ は、内部電源電圧 $V_{ccsa}$ 以上の電圧レベルであればよい。

【0064】以上のように、この発明の実施の形態1に従えば、内部データバス線のプリチャージ電圧を、センスアンプの電源電圧と同じ電圧レベルに設定しているため、内部電源電圧変動が生じて、正確に内部データバス線を同一電圧レベルにプリチャージすることができ、

【0065】また、内部データバス線のプリチャージ電圧は、この半導体記憶装置内部で発生される電源電圧のうち最も低い電圧レベルであり、データ書込時における振幅を最も小さくすることができ、高速のデータ書込および書込完了後のプリチャージ/イコライズを高速に行なうことができる。

【0066】また、列選択線の活性状態の電圧レベルを、外部電源電圧以下、かつセンス電源電圧以上としているため、列選択ゲートのコンダクタンスが急激に変化し、センスアンプに大きな負荷が急激に接続されてセンスアンプ回路の保持データが破壊されるのを防止することができ、

【0067】〔実施の形態2〕図7は、この発明の実施の形態2に従う半導体記憶装置の全体の構成を概略的に示す図である。図7においては、外部電源電圧 $extV_{cc}$ を電源線20を介して受けて内部電源電圧 $V_{ccsa}$ を生成する内部電源回路13と、この電源線20上の外部電源電圧 $extV_{cc}$ を受けて周辺電源電圧 $V_{ccp}$ を生成する内部電源回路30が設けられる。内部電源回路30からの周辺電源電圧 $V_{ccp}$ が、周辺回路、すなわちアドレス入力バッファ2、行選択回路3、列選択

線ドライブ回路6、列デコード回路5、書込/読出回路10および入出力回路11へ与えられる。内部電源回路13からのセンス電源電圧 $V_{ccsa}$ が、センスアンプ4およびI/O線プリチャージ回路9へ与えられる。したがって、この図7に示す構成は、先の実施の形態1の構成と、外部電源電圧 $V_{ex}$ に代えて周辺電源電圧 $V_{ccp}$ が用いられ、また列選択線ドライブ回路6へも、周辺電源電圧 $V_{ccp}$ が与えられる点が異なっている。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付しその詳細説明は省略する。

【0068】この図7に示す構成においても、内部データバス8のプリチャージ電圧は、センスアンプ4へ与えられるセンス電源電圧 $V_{ccsa}$ と同じ電圧レベルである。したがって、このセンス電源電圧 $V_{ccsa}$ 変動時においても、先の実施の形態1と同様、正確に内部データバス線8（内部データバス線I/OおよびI/O\*）を所定電圧レベルにプリチャージすることができ、

【0069】図8は、図7に示す半導体記憶装置の要部の構成をより詳細に示す図である。この図8に示す構成においては、列選択線ドライブ回路6aに、周辺電源電圧 $V_{ccp}$ が他の周辺回路、すなわちプリアンプ10a、ドライブ回路12a、12b、およびNAND型デコード回路5aと同様に与えられる。他の構成は、先の図3に示す構成と同じである。

【0070】この図8に示す構成により明らかなように、I/O線プリチャージ回路9aに含まれるpチャネルMOSトランジスタPQaおよびPQbは、プリチャージ指示信号/IOEQの活性化時、センス電源電圧 $V_{ccsa}$ を内部データバス線I/OおよびI/O\*に伝達している。ビット線BLおよび $\overline{BL}$ は、センス電源電圧 $V_{ccsa}$ および接地電圧レベルへ、センスアンプ回路4aにより駆動される。したがって、センス電源電圧 $V_{ccsa}$ の電圧レベルが低下しても、プリチャージ用のpチャネルMOSトランジスタPQaおよびPQbは、オン状態を維持するため、これらの内部データバス線I/OおよびI/O\*は確実に同一電圧レベルにプリチャージされる。

【0071】また、実施の形態1と同様、内部データバス線I/OおよびI/O\*の振幅が小さくされるため、高速のデータ書込および高速のプリチャージを実現することができる。

【0072】なお、この実施の形態2においては、列選択信号を生成する列選択線ドライブ回路6は、周辺電源電圧 $V_{ccp}$ を一方動作電源電圧として受けている。しかしながら、この実施の形態2においても、さらに、別の内部電源回路を設け、この列選択線駆動のための電源電圧 $V_{ccpa}$ が別に生成される構成が用いられてもよい。この場合においては、確実に、列選択時のセンスアンプのデータ破壊を防止することができる。

【0073】この外部電源電圧  $extV_{cc}$  がたとえば 3.3V のとき、内部電源電圧として、たとえば 2.5V の周辺電源電圧  $V_{ccp}$  を生成することにより、低消費電力および高速動作を保証し、またセンス電源電圧  $V_{ccsa}$  として、さらに低い 2.0V の電圧を生成することにより、低消費電力およびメモリセルのゲート絶縁膜およびキャパシタ絶縁膜の破壊を防止することができる。

【0074】以上のように、この発明の実施の形態 2 に従えば、内部データバス線のプリチャージ電圧を、センス電源電圧と同一電圧レベルに設定しているため、センス電源電圧低下時においても、確実に、内部データバス線を同一電圧レベルにプリチャージすることができ、正確な内部データの読出および、高速書込およびプリチャージを実現することができる。

【0075】〔実施の形態 3〕図 9 は、この発明の実施の形態 3 に従う半導体記憶装置の全体の構成を概略的に示す図である。この図 9 に示す半導体記憶装置においては、電源線 20 に結合される 3 つの内部電源回路 13、14 および 30 が設けられる。内部電源回路 13 は、電源線 20 上の外部電源電圧  $extV_{cc}$  から、約 2.0V のセンス電源電圧  $V_{ccsa}$  を生成して、センスアンプ帯 4 および I/O 線プリチャージ回路 9 へ与える。内部電源回路 14 は、この電源線 20 上の外部電源電圧  $extV_{cc}$  から約 2.2V (2.0V でもよい) の内部電源電圧  $V_{ccpa}$  を生成して、列選択線ドライバ回路 6 へ与える。内部電源回路 30 は、電源線 20 上の外部電源電圧  $extV_{cc}$  から約 2.5V の内部電源電圧  $V_{ccpa}$  を生成して、他の周辺回路、すなわちアドレス入力バッファ 2、行選択回路 3、列デコード回路 5、書込/読出回路 10、入出力回路 11 および制御回路 12 へ与える。

【0076】この図 9 に示す構成においては、周辺回路を、内部電源回路 30 からの内部電源電圧  $V_{ccp}$  で動作させることにより、低消費電力および高速動作を実現する。また、内部電源回路 14 からの内部電源電圧  $V_{ccpa}$  を列選択線ドライバ回路 6 へ与えることにより、列選択線の振幅が低減され、高速の列選択、低消費電力および列選択時におけるセンスアンプ回路の保持データの破壊の防止が実現できる。また、内部電源回路 13 からのセンス電源電圧  $V_{ccsa}$  を、センスアンプ帯 4 および I/O 線プリチャージ回路 9 へ与えることにより、ビット線振幅低減による低消費電力、メモリセルのゲート絶縁膜およびキャパシタ絶縁膜の破壊の防止、および内部データバス線の同一電位への正確なプリチャージを実現することができる。

【0077】他の構成は、先の実施の形態 2 と同じであり、同一部分には同一参照番号を付し、その詳細説明は省略する。

【0078】なお、実施の形態 1 から 3 において、入出

力回路 11 には、周辺電源電圧  $V_{ccp}$  または外部電源電圧  $V_{ex}$  を与えている。この入出力回路 11 において、その入力段において、高電圧  $V_{pp}$  が別に与えられてもよい（出力段のしきい値電圧損失を補償する）。

【0079】以上のように、この発明の実施の形態 3 に従えば、3 種類の内部電源電圧を生成し、最も低い内部電源電圧をセンスアンプ帯および内部データバス線プリチャージ回路へ与え、次に低い内部電源電圧を列選択線駆動のために用い、残りの最も高い内部電源電圧を周辺回路駆動のために用いているため、低消費電力で高速動作し、かつ正確に内部データバス線をプリチャージすることができ、かつさらに列選択時のセンスアンプの保持データの破壊を防止することのできる半導体記憶装置が得られる。

【0080】〔実施の形態 4〕図 10 は、この発明の実施の形態 4 に従う半導体記憶装置の要部の構成を概略的に示す図である。図 10 においては、内部電源電圧を発生する部分の構成が示される。図 10 において、電源線 20 上の外部電源電圧  $extV_{cc}$  からセンス電源電圧  $V_{ccsa}$  を生成する内部電源回路 13 と、能動化時、電源線 20 上の外部電源電圧  $extV_{cc}$  から内部電源電圧を生成する内部電源回路 14 と、能動化時、電源線 20 上の外部電源電圧  $extV_{cc}$  から内部電源電圧  $V_{ccp}$  を生成する内部電源回路 30 と、電源線 20 上の外部電源電圧  $extV_{cc}$  と内部電源回路 14 の出力電圧と内部電源回路 30 からの内部電源電圧の 1 つを選択して列選択線ドライバ回路へ与えられる周辺電源電圧  $V_{ccp}$  を生成するオプション電圧セクタ 35 と、内部電源回路 30 の出力電圧と電源線 20 上の外部電源電圧  $extV_{cc}$  ( $V_{ex}$ ) の一方を選択して周辺回路への周辺電源電圧  $V_{ccp}$  を生成するオプション電圧セクタ 36 とが設けられる。

【0081】オプション電圧セクタ 35 および 36 は、それぞれたとえばマスク配線で構成され、外部電源電圧  $extV_{cc}$  の電圧レベルに応じて、その選択経路がマスク配線により決定される。たとえば、外部電源電圧  $extV_{cc}$  が 3.3V のとき、2.0V のセンス電源電圧  $V_{ccsa}$  を内部電源回路 13 により生成してセンスアンプ帯および I/O 線プリチャージ回路へ与え、また約 2.5V の周辺電源電圧を内部電源回路 30 により生成して、列選択線ドライバ回路および周辺回路へ共通に与える。この場合、列選択線ドライバ回路へ、内部電源回路 14 からの約 2.2V の内部電源電圧を選択して、列選択線ドライバ回路へ与えることもできる。

【0082】また、外部電源電圧  $extV_{cc}$  が 2.5V の場合、約 2.0V のセンス電源電圧  $V_{ccsa}$  を内部電源回路 13 により生成し、また外部電源電圧  $extV_{cc}$  を列選択線ドライバ回路および周辺回路へ与える内部電源電圧として選択することができる。この場合においても、また周辺回路へ外部電源電圧 (約 2.5V)

を与え、列選択線ドライバ回路（列選択ドライバ）へは、内部電源回路 14 からの約 2.2 V の電圧を印加することができる。

【0083】したがって、このオプション電圧セクタ 35 および 36 を設けることにより、1 つのチップより、複数の内部電源配置を実現することができ、電源配置の種類に応じて内部回路のレイアウトを変更する必要がなく、設計が容易となり、また製造工程を統一することができ、製品コストが低減され、また製品管理も容易となる。

【0084】また、オプション電圧セクタ 35 および 36 により内部電源回路 14 および／または 30 の出力電圧が選択されない場合、これらの内部電源回路 14 および 30 と電源線 20 との間の接続を切離し、内部電源回路 14 および／または 30 が動作不能状態とされてもよい。またはこれに代えて、内部電源回路 14 および／または 30 が、常時不動作状態となるように設定されてもよい（これは、ボンディングオプションまたはマスク配線により実現される）。また、オプション電圧セクタ 35 および 36 としてマスク配線を用いない場合、C

MOS トランスファゲートを電圧選択のための選択ゲートとして用いればよい（この場合、制御信号は、最も高い外部電源電圧レベルとする必要がある）。

【0085】以上のように、この発明の実施の形態 4 に従えば、複数の内部電源回路を予め準備し、内部で実際に使用される電源配置に応じて内部電源電圧を選択するように構成しているため、1 つのチップで複数の電源配置に対応することができ、製品コストを低減することができ、また製造工程および管理を簡略化することができる。

【0086】〔実施の形態 5〕図 11 は、この発明の実施の形態 5 に従う半導体記憶装置の要部の構成を示す図である。図 11 においては、外部電源電圧  $ext\ Vcc$  から、2 つの内部電源電圧  $Vccsa$  および  $Vccp$  が生成される。センス電源電圧  $Vccsa$  は、センスアンプ帯および内部データバス線（I/O 線）プリチャージ回路へ与えられ、周辺電源電圧  $Vccp$  は、列選択線ドライバ回路を含む周辺回路へ共通に与えられる。

【0087】図 11 において、内部電源回路 13 は、内部電源線 13a 上の電源電圧  $Vccsa$  と基準電圧  $Vref$  を比較する比較器 13b と、比較器 13b の出力信号に従って電源線 20 から内部電源線 13a へ電流を供給する p チャネル MOS トランジスタ 13c を含む。センス電源電圧  $Vccsa$  を生成する内部電源回路 13 は、外部電源電圧  $ext\ Vcc$ （または  $Vex$ ）に依存しない一定の電圧レベルの内部電源電圧  $Vccsa$  を生成する（外部電源電圧が一定電圧レベル以上のとき）。

【0088】内部電源回路 30 は、内部電源線 30a 上の周辺電源電圧  $Vccp$  と基準電圧  $Vrefp$  を比較する比較器 30b と、比較器 30b の出力信号に従って電

源線 20 から内部電源線 30a へ電流を供給する p チャネル MOS トランジスタ 30c と、テストモード指示信号  $ZTEST$  の活性化時（L レベル）導通し、電源線 20 と内部電源線 30a とを電気的に接続する p チャネル MOS トランジスタ 30d と、テストモード指示信号  $ZTEST$  の活性化時導通し、比較器 30b の出力ノードを外部電源電圧  $ext\ Vcc$  レベルに設定する p チャネル MOS トランジスタ 30e を含む。

【0089】この内部電源回路 30 の構成においては、テストモード指示信号  $ZTEST$  の活性化時、MOS トランジスタ 30e および 30d がオン状態となり、内部電源線 30a 上の周辺電源電圧  $Vccp$  は、外部電源電圧  $ext\ Vcc$  レベルとなる。このときには、p チャネル MOS トランジスタ 30c はこのゲート電圧が、外部電源電圧  $ext\ Vcc$  レベルとなり、オフ状態となる。比較器 30b が、その出力信号が外部電源電圧  $ext\ Vcc$  レベルに固定される。このとき、比較器 30b はまたテストモード指示信号  $ZTEST$  の活性化時、非活性化状態に駆動される構成が利用されてもよい（電流源トランジスタに直列に、このテストモード指示信号  $ZTEST$  の活性化時非導通状態となる MOS トランジスタを接続することにより、この構成は実現される）。

【0090】この図 11 において、テストモード時において、センス電源電圧  $Vccsa$  を一定の電圧レベル（基準電圧  $Vref$  レベル）とし、周辺電源電圧  $Vccp$  を外部電源電圧  $ext\ Vcc$  に従って変化させることにより、以下に説明するように、周辺回路の電圧ストレス加速試験のみならず各種タイミングマージンおよびセンスアンプ安定性の試験（アドレスノイズテスト）を行なうことができる。

【0091】通常動作モード時においては、テストモード指示信号  $ZTEST$  は、非活性化状態の H レベルであり、内部電源回路 30 は、基準電圧  $Vrefp$  に従って周辺電源電圧  $Vccp$  を生成し、周辺回路へ与える。また内部電源回路 13 も、基準電圧  $Vref$  に従ってセンス電源電圧  $Vccsa$  を生成して、センスアンプ帯および I/O 線プリチャージ回路へ与える。

【0092】テストモード時においては、テストモード指示信号  $ZTEST$  が活性化状態の L レベルへ駆動される。これにより、内部電源回路 30 の出力する周辺電源電圧  $Vccp$  は、外部電源電圧  $ext\ Vcc$  に等しくなる。一方、センス電源電圧  $Vccsa$  は、内部電源回路 13 は、テストモード指示信号  $ZTEST$  と独立に動作しているため、センス電源電圧  $Vccsa$  の電圧レベルは一定である。

【0093】したがって、図 12 に示すように、テストモード時において、外部電源電圧  $ext\ Vcc$  の電圧レベルを変化させることにより、周辺電源電圧  $Vccp$  とセンス電源電圧  $Vccsa$  の電圧レベルの差が生じる。周辺電源電圧  $Vccp$  は周辺回路へ与えられており、メ

メモリセル選択動作およびデータ書込／読出動作を行なっている。したがって、この周辺電源電圧 $V_{ccp}$ の電圧レベルを変化させることにより、周辺回路の動作速度を変更することができ、メモリセル選択動作に関連する回路の動作速度を変化させることができる。一方、センス電源電圧 $V_{ccsa}$ は、一定の電圧レベルであるため、センスアンプは、一定の速度で動作する。

【0094】したがって、図13に示すように、ワード線 $W_L$ が選択状態へ駆動されて、ビット線 $B_L$ および/ $B_L$ にメモリセルデータが読出されてから、センスアンプ活性化までに経過する時間を、外部電源電圧 $ext V_{cc}$ に従って周辺電源電圧 $V_{ccp}$ を変化させることにより、変更することができる。これにより、センスアンプ回路が正確なデータのセンス動作を行なうことができるかどうかのセンスタイミングマージンを検出することができる。たとえば、センスタイミングマージンが少ない場合、ワード線選択タイミングが遅れた場合、ビット線 $B_L$ および/ $B_L$ には、十分な電圧差が生じていないため、正確なセンス動作を行なうことができなくなる。

【0095】また、周辺電源電圧 $V_{ccp}$ は、列選択線を駆動する列選択線ドライブ回路へも与えられている。したがって、この列選択線 $CS_L$ 上の列選択信号の振幅も、周辺電源電圧 $V_{ccp}$ を介して外部電源電圧 $ext V_{cc}$ に従って変化させることができる。これにより、列選択時におけるセンスアンプ回路の保持データの安定性をテストすることができる。このアドレスノイズテストと呼ばれるテストにおいては、メモリセルに予め論理のわかったデータを書込み、次いでセンス動作を行なってセンスアンプ回路によりラッチした後列選択動作を行なってメモリセルデータを読出し、この読出されたメモリセルデータが書込んだデータと論理が同じであるか否かを識別する。書込および読出データの論理の一致／不一致の判定結果により、センスアンプ回路のデータ保持特性の安定性を試験することができる。

【0096】なお、この実施の形態5においては、周辺電源電圧 $V_{ccp}$ が周辺回路および列選択線ドライブ回路両者へ共通に与えられている。しかしながら、列選択線ドライブ回路へは、残りの周辺回路と別の電源電圧( $V_{ccpa}$ )が与えられている場合、テストモード指示信号 $ZTEST$ の活性化に従って、この列選択線ドライブ回路へ与えられる電源電圧( $V_{ccpa}$ )が外部電源電圧 $ext V_{cc}$ に応じて変化するように構成されてもよい。この場合の構成は、単に、列選択線ドライブ回路へ与えられる電源電圧( $V_{ccpa}$ )を発生する内部電源回路の構成を、図11に示す内部電源回路30と同一構成とすることにより容易に実現される。列選択線ドライブ回路の電源電圧のみが、このテストモード時変更されてもよい。

【0097】以上のように、この発明の実施の形態5に従えば、テストモード指示信号に従って、周辺回路に与

えられる内部電源電圧レベルを、外部電源電圧レベルと同一電圧レベルとし、かつセンス電源電圧レベルの電圧レベルを一定としているため、センスタイミングマージンおよびセンスアンプ回路のデータ保持の安定性を容易にテストすることができる。

【0098】〔その他の適用例〕半導体記憶装置として、内部電源電圧を生成しかつセンスアンプ回路を有する半導体記憶装置であれば、標準DRAM(ダイナミック・ランダム・アクセス・メモリ)およびクロック信号に同期して動作する同期型ダイナミック・ランダム・アクセス・メモリいずれにおいても本発明は適用可能である。

【0099】また、内部電源電圧および外部電源電圧の具体的な値は任意であり、実際に用いられるシステムにおける電源電圧に応じて適当に定められればよい。

【0100】また、先の実施の形態5におけるテストモード指示信号は、単に、外部からの複数の制御信号の状態の組合せにより発生される。このテストモードは、製品出荷前の最終テストにおいて「アドレスノイズ」テストと呼ばれる周辺電源電圧を加速した場合のセンスアンプの保持データの安定性をテストするために用いられる。しかしながら、単に、ウエハレベルにおいて、センスマージンなどのAC特性が特定されるテスト工程において同様このテストが行なわれてもよい。

【0101】

【発明の効果】以上のように、この発明に従えば、正確かつ安定にデータの読出を行なうことのできる半導体記憶装置を実現することができる。

【0102】すなわち、請求項1に係る発明に従えば、内部データバス線を、センス電源電圧と同じ電圧レベルにプリチャージするように構成しているため、この周辺電源電圧およびセンス電源電圧変動時においても、正確に内部データバス線を同じ電圧レベルにプリチャージすることができ、安定なデータ読出を保証することができる。

【0103】請求項2に係る発明に従えば、列選択線を駆動する回路の電源電圧を、列選択線を駆動する回路と電源電圧以下の電圧レベルに設定しているため、列選択時において、センスアンプが急激に大きな負荷を有する内部データバス線に接続されるのを防止することができ、センスアンプの保持データの破壊が生じるのを防止することができる。

【0104】請求項3に係る発明に従えば、内部データバス線のデータを増幅するブリアンプを周辺電源電圧で駆動するように構成しているため、高速でデータの読出を行なうことができる。

【0105】請求項4に係る発明に従えば、列選択信号振幅を、センス電源電圧と同じ電圧レベルとしているため、列選択信号の振幅を低減することができ、列選択時におけるセンスアンプ回路の保持データの破壊が生じる

のを防止することができる。

【0106】請求項5に係る発明に従えば、列選択信号振幅は、センスアンプの電源電圧と列デコード回路の電源電圧の間の電圧レベルに保持しているため、センス電源回路および周辺電源回路の影響を受けることなく安定に一定のレベルの列選択信号を生成することができ、また列選択時におけるセンスアンプ回路の保持データの破壊を生じるのを防止することができる。

【0107】請求項6に係る発明に従えば、列デコード回路に外部電源電圧を印加しているため、高速で列デ

コード動作を行なうことができる。

【0108】請求項7に係る発明に従えば、列デコード回路および列選択線ドライブ回路の動作電源電圧を同一電圧レベルとしているため、電源配置が簡略化される。

【0109】請求項8に係る発明に従えば、周辺回路へ与えられる電源電圧を、内部電源回路の出力電圧および外部電源電圧の一方を選択するように構成しているため、同一チップで複数種類の電源電圧に対応することができ、製品コストが低減されまた製造工程および管理が簡略化される。

【0110】請求項9に係る発明に従えば、選択電圧を、列選択信号駆動回路へも与えるように構成しているため、これらの列系回路を同一電源電圧において動作させることができ、電源電圧の差に起因するタイミングミスマッチが生じるのを防止することができる。

【0111】請求項10に係る発明に従えば、センス電源電圧とは別の第3の内部電源電圧発生回路を設け、この第3の電源電圧発生回路からの出力電圧を列選択線駆動用に用いているため、センス電源回路の影響を受けることなく、安定に列選択信号を生成することができる。

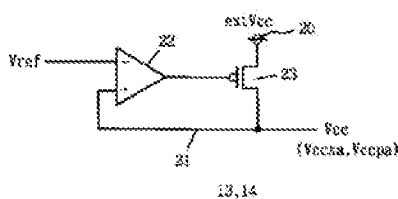
【0112】請求項11に係る発明に従えば、テストモード時においては、外部電源電圧を列選択線ドライブ回路へ印加するように構成しており、一方センス電源電圧が一定であるため、センスタイミングマージンの試験および列選択動作時におけるセンスアンプ回路のデータ保持の安定性を試験することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 図1に示す内部電源回路の構成の一例を示す図である。

【図2】



【図3】 図1に示す半導体記憶装置の要部の構成をより具体的に示す図である。

【図4】 図3に示す構成の動作を示す信号波形図である。

【図5】 図3に示すI/O線プリチャージ回路の動作を示す図である。

【図6】 図5に示すI/O線プリチャージ回路の動作を示す信号波形図である。

【図7】 この発明の実施の形態2に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図8】 図7に示す半導体記憶装置の要部の構成をより具体的に示す図である。

【図9】 この発明の実施の形態3に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図10】 この発明の実施の形態4に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図11】 この発明の実施の形態5に従う半導体記憶装置の要部の構成を示す図である。

【図12】 図11に示す内部電源回路の出力電圧変化を示す図である。

【図13】 この発明の実施の形態5における半導体記憶装置の要部の動作を示す信号波形図である。

【図14】 従来の半導体記憶装置の要部の構成を概略的に示す図である。

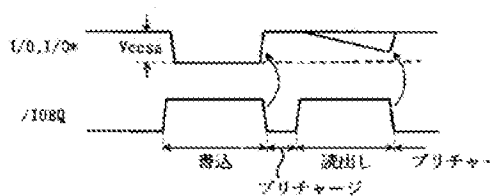
【図15】 図14に示す半導体記憶装置の動作を示す信号波形図である。

【図16】 従来の半導体記憶装置の問題点を説明するための図である。

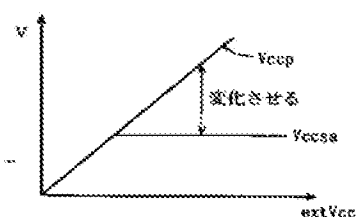
【符号の説明】

1 メモリセルアレイ、2 アドレス入力バッファ、3 行選択回路、4 センスアンプ部、4a センスアンプ回路、5 デコード回路、5a NAND型デコード回路、6 列選択線ドライブ回路、6a 列選択線ドライブ、7 列選択ゲート群、7a 列選択ゲート、8 内部データバス、I/O、I/O\* 内部データバス線、9 I/O線プリチャージ回路、9a I/O線プリチャージ回路、10 書込/読出回路、10a プリアンプ、13、14 内部電源回路、20 電源線、30 内部電源回路、35、36 オプション電圧セクタ、30e、30d pチャネルMOSトランジスタ、PQa、PQb pチャネルMOSトランジスタ。

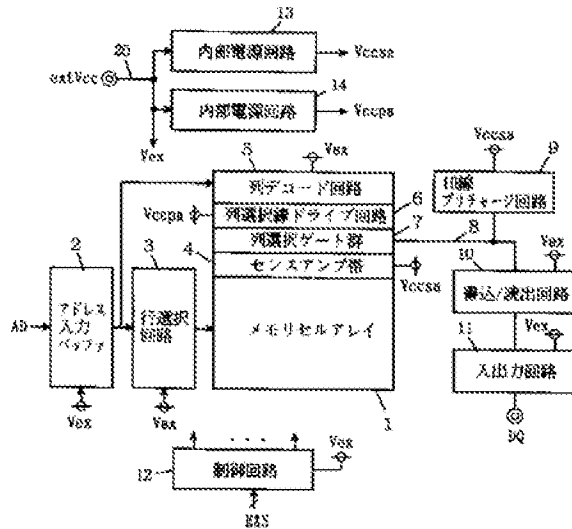
【図6】



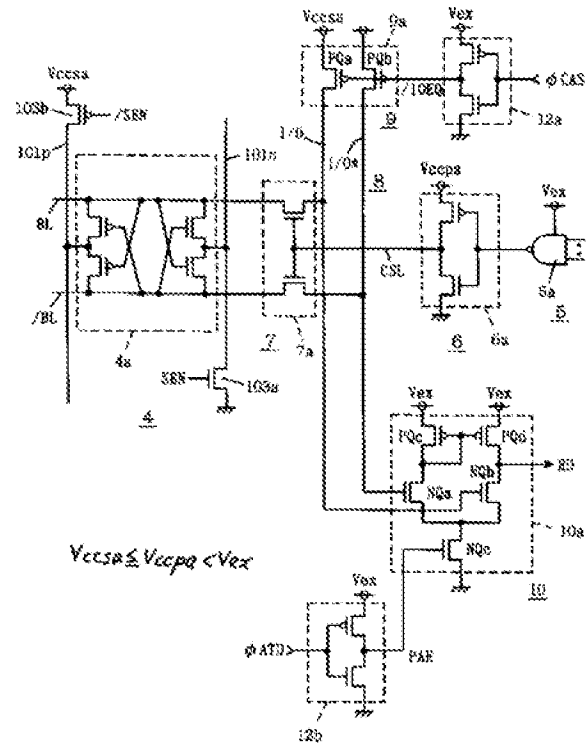
【図12】



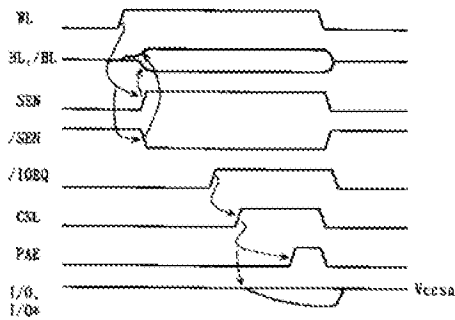
【図1】



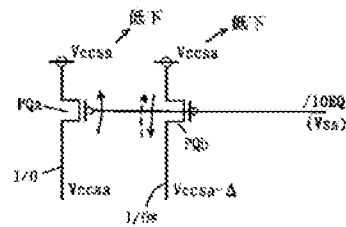
【図3】



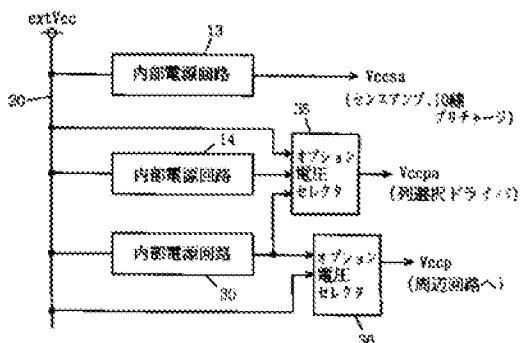
【図4】



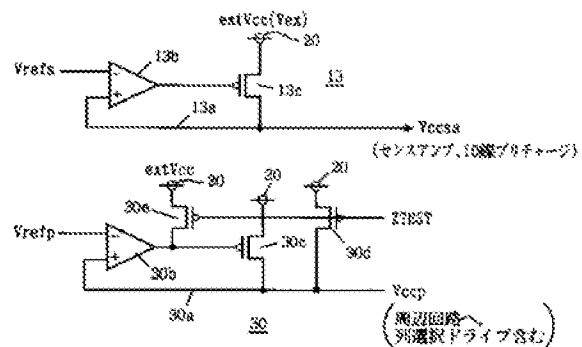
【図5】



【図10】

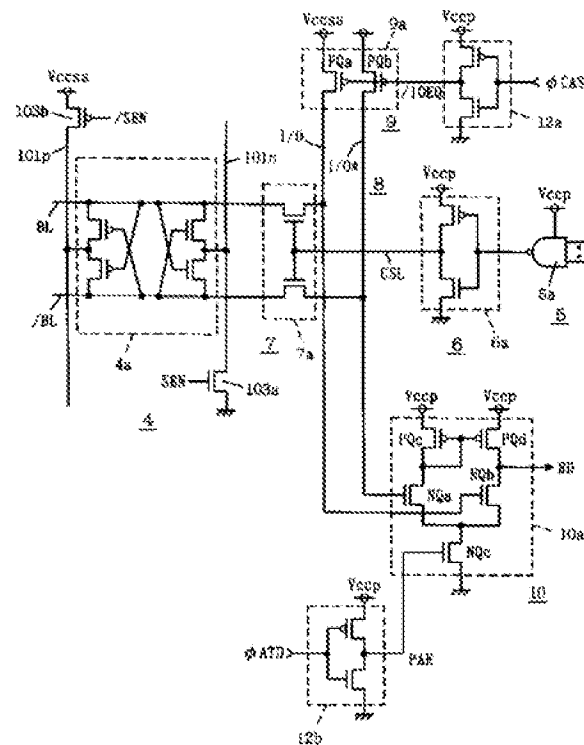


【図11】





【例8】



【例 1-3】

